



THE VIRTUAL REALITY SOCIETY OF JAPAN

映像と情報の動的更新を実現する可視光通信プロジェクトの開発

平木剛史¹⁾、福嶋政期²⁾、渡瀬宏³⁾、苗村健^{1,2)}

1) 東京大学 大学院情報理工学系研究科 (〒 113-8656 東京都文京区本郷 7-3-1, hiraki@nae-lab.org)

2) 東京大学 大学院情報学環 (〒 113-8656 東京都文京区本郷 7-3-1, {shogo, naemura}@nae-lab.org)

3) 東京エレクトロン デバイス株式会社 (〒 221-0056 神奈川県横浜市神奈川区金港町 1-4, watase.h@teldevice.co.jp)

概要: 筆者らは、映像のすべての画素に高速点滅で不可視の情報を埋め込む空間分割型可視光通信 (PVLC) 技術と、その実装としての可視光通信プロジェクトの研究を進めてきた。しかし、従来の PVLC において、映像とデータのエンコードはソフトウェア処理で行っており、PC の計算負荷と PC - プロジェクタ間の通信量は大きかった。そのため、色階調やコントラストといった映像の品質と、映像と情報の動的更新の両立は実現できていなかった。そこで、DMD と LED の同期した高速制御と PVLC のエンコードをハードウェア処理で実行することで、映像表現力と映像と情報の動的更新を両立可能な可視光通信プロジェクトを提案する。本稿では、提案プロジェクトの設計、実装についての詳細とその評価実験の結果を報告する。

キーワード: 可視光通信、プロジェクト、DMD、FPGA、ディスプレイ、拡張現実感

1. はじめに

筆者らは、映像のすべての画素に高速点滅で付加情報を埋め込む空間分割型可視光通信 (PVLC: Pixel-level Visible Light Communication) とその実装としての可視光通信プロジェクトの検討を進めてきた [1]。PVLC の基本原理を図 1 に示す。図のように画像が交互に投影されている時、その切り替え速度が遅ければ、人間の目には 2 枚の画像が交互に知覚される。切り替え速度が充分速くなると、人間の目には 2 枚の画像の切り替わりが知覚できず、輝度が時間平均化された画像が知覚される。PVLC では、この高速な明滅を用いて、人には見えない付加情報を映像の中に重畳することで、受光器をかざすだけでキャリブレーションなしに付加情報を読み出すことが可能である。そのため、人への映像提示と受信デバイスの位置に応じた情報の伝送を同時に実行でき、この特徴を活かしたシステムが提案されている [2]。しかし、従来の可視光通信プロジェクトは PC と USB 2.0 を用いて通信していたため、転送速度が遅く、映像と情報の動的更新は実現できなかった。

そこで、筆者らは HDMI 規格を用いてデータ転送を行い、映像と情報の動的更新が可能な PVLC を実現する Reconfigurable PVLC (RPVLC) フレームワークを提案し、これを実装したプロジェクトを開発した [3]。しかし、RPVLC においても必要な映像とデータのエンコード処理はすべて PC で実行する必要があったため、PC の計算負荷と PC - プロジェクタ間の通信量は過大であり、色階調やコントラストといった映像の品質と、映像と情報の動的更新の両立は不可能だった。

Takefumi HIRAKI, Shogo FUKUSHIMA, Hiroshi WATASE, and Takeshi NAEMURA

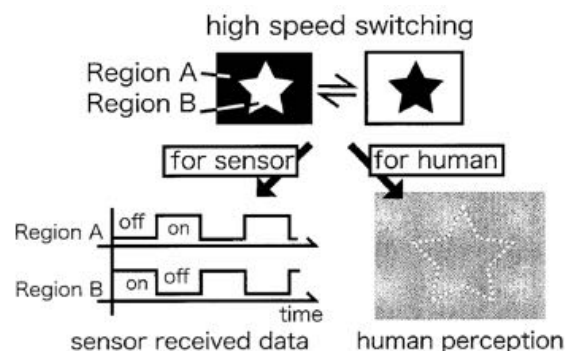


図 1: PVLC の基本原理 (文献 [1] より)

そこで本稿では、これらの課題を解決した Dynamic PVLC (DPVLC) フレームワークと、その実装として新規に開発したプロジェクトについて提案する。提案プロジェクトは、DynaFlash プロジェクト [4] をベースに開発し、映像投影におけるエンコードを FPGA を用いたハードウェア処理で実行することで、PC の計算負荷と PC とプロジェクトの通信量の大幅な低減を実現する。これにより、DMD (Digital Micromirror Device) の ON / OFF と LED 光源の明滅をそれぞれ性能の限界である約 22 kHz と 1 MHz で同期した制御による PVLC 映像の投影が可能となり、24 bit 階調、120 fps での PVLC 映像の投影を実現できる。この提案プロジェクトの性能が設計通りに達成されているかについて、評価実験を通じて明らかにする。

2. 設計と実装

2.1 システム概要

本稿では、従来の PVLC の課題であった、映像の品質と、映像と情報の動的更新の両立を実現可能な DPVLC システ

ムを提案する。RPVLC システムを含めた従来システムと、提案システムである DPVLC システムの比較を図 2 に示す。

2.2 PVLC のデータ構造

DPVLC システムで実現する PVLC のデータ構造は、同期フレーム部、データフレーム部、輝度調整フレーム部の 3 つからなり、これらによって PVLC 映像の 1 フレームを構成している。同期フレーム部では、データの開始を示し、データ受信における誤りを発生させないため、全画面で同一の情報を埋め込んでいる。この時、信号の ON / OFF 回数を同じにすることで、画面全体の輝度を 50% に保つように設計する。その後、各ピクセルごとに異なる情報で構成されたデータフレーム部が事前に規定された bit 数に対応する枚数だけ置かれる。その後、データフレーム部で乱れた輝度を補正し、人間の知覚する映像を構成するための輝度調整フレーム部が存在し、この 3 つのフレーム部によって、ひとつの単位フレーム群が構成される。

2.3 設計

RPVLC では、PC で映像とデータをエンコードしてバイナリイメージ群に展開し、これらを転送していたため、PC の計算負荷が重く、データ転送量も大きかった。DPVLC では映像とデータをそのまま転送し、DMD と光源の同期制御と映像投影におけるエンコードを FPGA によるハードウェア処理で実行することで、効率的なデータ転送が実現できる。一方で、ソフトウェア処理と異なり、処理フローが FPGA のハードウェアに強く依存するため、エンコード処理の変更や修正は困難である。そこで、これまでの PVLC の実装を整理、総括し、必要十分な性能を発揮できる PVLC のデータ転送プロトコルと、これを実現するための DMD と LED 光源の制御について仕様を策定した。

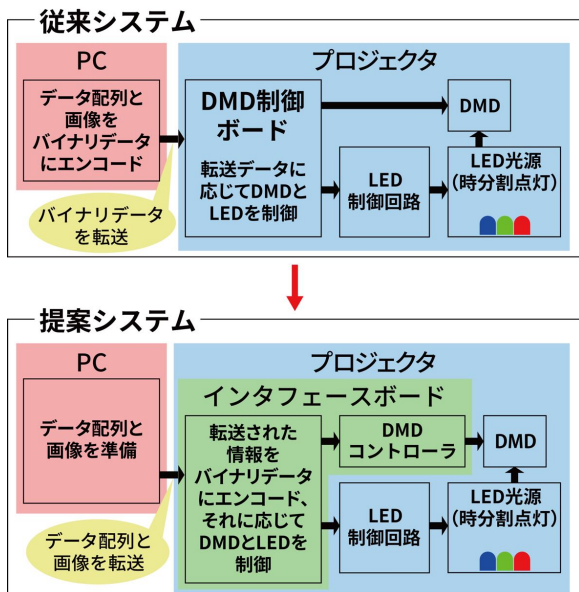


図 2: 従来の PVLC システムと提案システムである Dynamic PVLC システムの比較

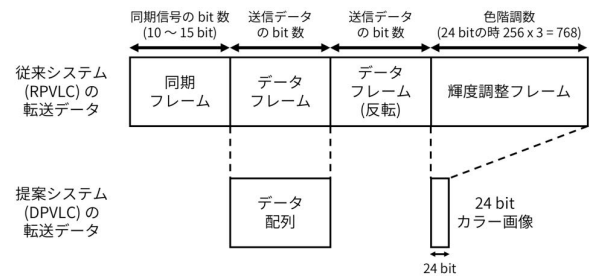


図 3: 各 PVLC システムにおけるデータ転送量の比較

2.3.1 データ転送

RPVLC を含む従来システムにおけるデータ転送量と、DPVLC システムにおけるデータ転送量の比較を図 3 に示す。すべての情報をバイナリデータの配列に展開してから送信する必要があった従来手法と比較し、DPVLC ではデータや輝度の値そのものの配列を送信だけで情報の更新が可能である。これによって、例えば 32 bit 長のデータと 24 bit カラーの色画像を転送する場合、同期信号を除くと、従来は $32 \times 2 + 2^8 \times 3 = 832$ 枚のバイナリイメージを転送する必要があったが、DPVLC では 32 bit 長のデータ配列と 24 bit 色画像をそれぞれ 1 つずつ、バイナリイメージ換算で 56 枚分のデータを転送するのみで更新処理を終了できる。

PVLC のデータ構造のうち、同期フレーム部の信号は投影中に動的に変更する必要は薄いため、64 bit 長の変数ひとつをプロジェクトの初期化時に転送することで設定する仕様とした。データフレーム部の信号は、データの bit 長の情報を初期化時に送信し、64 bit 長の変数を要素とする配列を 1 個転送することで送信が完了する仕様とした。データ長については、これまでの PVLC の実装を踏まえて最大 64 bit と設定した。輝度調整フレーム部はデータフレーム部によって乱れた輝度を補正するためにデータフレームを反転したフレームと、人間が知覚する映像のフレームで構成される。ここで、データフレームを反転したフレームは、データフレームの情報から DPVLC システム上の FPGA で生成、投影可能である。そのため、DPVLC システムではこの反転されたフレームについては転送する必要がなくなった。映像フレームについては、DPVLC システム上の FPGA で受信した画像をバイナリイメージに展開することで、24 bit の色画像をそのまま転送可能な仕様とした。

2.3.2 DMD と LED 光源の制御

従来の PVLC システムにおけるデータ構造と DMD、LED 光源の制御と、提案する DPVLC システムにおけるデータ構造と DMD、LED 光源の制御の比較を図 4 に示す。同期フレーム部は全画面で共通の明滅パターンを送信すればよい。そのため、DPVLC では全画面を DMD の最小更新時間である $44 \mu\text{s}$ の間 ON にし、その間に LED 光源を明滅することで信号の送信を行うこととした。このとき、LED の単位明滅時間は最小で $1 \mu\text{s}$ であるため、同期フレーム部は最大で 44 bit の同期信号を含むことになる。データフレーム部は従来と同様、DMD の制御によって投影を行う。輝度調整フレーム部では、データフレームによって乱れた輝度を調

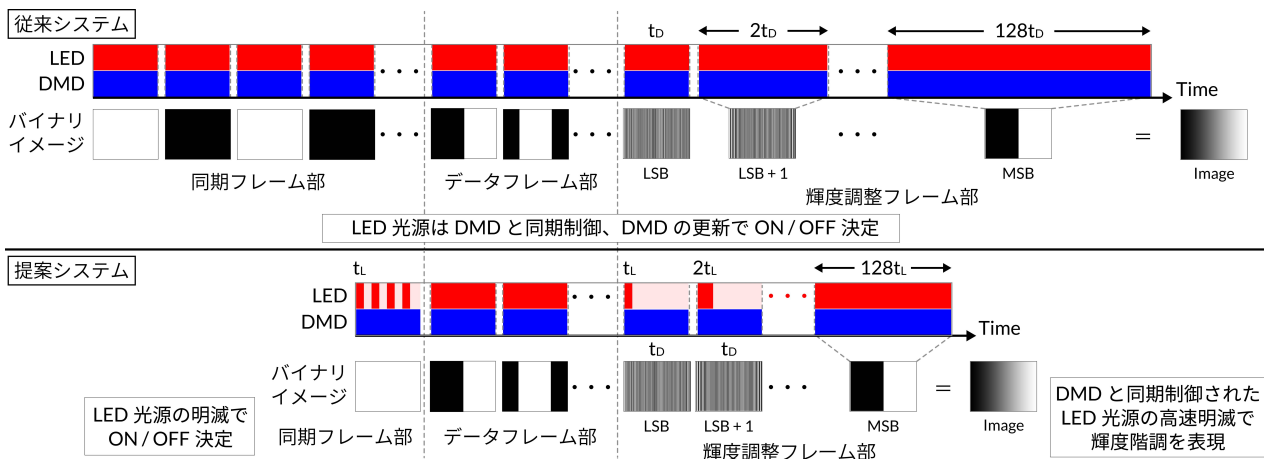


図 4: 各 PVLC システムにおける DMD、LED 光源の時間制御と各時間におけるバイナリイメージの比較 (t_D は DMD の最小更新時間を、 t_L は LED の単位明滅時間を示す)

整し、その上で DMD と LED の同期制御によって 24 bit 色階調での映像投影が可能な仕様とした。ここで、成田ら [4] と同様に、DMD の最小更新時間 (44 μ s) より短い時間のみ LED を点灯する制御を行うことで、映像を構成するフレームの投影時間が 1080 μ s 以上であれば 24 bit 色階調での投影が可能である。

2.4 実装

提案プロジェクタの実装は、PC と PCI Express (Gen2 x8) バスを介して接続されたインタフェースボードを用いて行った。DPVLC の制御コアの実装は、インタフェースボード上の FPGA (Kintex UltraScale XCKU040-2FFVA1156E, Xilinx) に書き込む形で行った。DPVLC コアでは、SGDMA (Scatter-Gather Direct Memory Access) を用いて映像とデータを構成する配列を PC のメモリから、直接 FPGA 上のメモリに展開される。その後、FPGA の演算によって PVLC のエンコード処理を行い、PVLC 映像を構成するバイナリイメージ群と、LED の制御情報が生成される。これらに基づいて DMD と LED 光源が制御され、PVLC 映像の投影が行われる。

3. 実験

3.1 実時間映像更新の評価

提案プロジェクタのデータ転送において、投影映像と埋め込みデータの動的な更新が可能かどうかについて明らかにするために実験を行った。

3.1.1 実験装置

提案したプロジェクタをデスクトップ PC (Precision T7810, DELL) に接続し、映像の投影を行った。また、投影された映像光はフォトダイオード (S5971, 浜松ホトニクス) とオペアンプ (OPA2353UA, Texas Instruments) を用いたトランスインピーダンス回路、ハイパスフィルタ回路、コンパレータ回路で構成された受光器で受信した。受光器はプロジェクタから約 1 m の場所で映像光を直接受信できる位置に設置し、出力された信号をオシロスコープ (TDS2024C, Tektronix) で測定した。実験の様子を図 5 に示す。



図 5: 評価実験の様子

3.1.2 実験条件

実験において映像投影を行うプログラムは Visual Studio 2017 上で C++ を用いて実装し、プロジェクタの映像フレームレートは 120 Hz に設定した。埋め込みデータと投影画像はそれぞれ PC のメモリ上に配列として展開し、制御プログラムによって逐次読み出してプロジェクタに転送、映像を投影することとした。投影された映像光は受光器で受信し、オシロスコープを用いて PVLC の単位フレーム群同士の時間間隔を測定した。この時間はすなわち映像の投影周期であるため、これを用いて映像のリフレッシュレートを算出した。また、プログラムにおいてデータ配列と画像配列を転送するのに要する時間をそれぞれ 200 回測定し、その平均時間を計算することで、プログラムが更新処理に要する時間を計測した。

3.1.3 実験結果

測定した単位フレーム群同士の時間間隔は 8.36 ms であり、ここから映像のリフレッシュレートは 119.6 Hz と算出された。これは、映像のリフレッシュレートとして設定した 120 Hz にほぼ一致しており、提案したプロジェクタは設計性能を満たしていると言える。また、データ配列と画像配列の転送に要する平均時間はそれぞれ 1.68 ms と 0.76 ms であり、最悪の場合でもそれぞれ 3 ms と 1 ms であった。これらの時間を最悪の場合で合計しても 4 ms であり、120 Hz での映像投影周期である 8.33 ms よりも短いため、これ

についても設計性能を満たしていることが示された。

3.2 データ送受信の評価

提案プロジェクトで動的な映像更新を行いながら、DMDのON/OFFとLED光源の明滅を同期しつつも違う周波数で行うことで、効率的な信号の送受信が可能かどうかを明らかにするため、本実験を行った。

3.2.1 実験装置

3.1.1項と同様の装置、環境を用いて実験を行った。本項の実験では1MHzの高速明滅光を受信する必要があるため、受信器はこれに対応した設計となっている。

3.2.2 実験条件

3.1.2項と同様のプログラムを用いて映像を投影し、映像のフレームレートも同様に120Hzに設定した。フレームユニットは、同期フレーム部は1枚、データフレーム部は64枚とし、残りのバイナリフレーム(120枚)を輝度調整フレーム部として割り当てることで構成した。また、同期信号は設計における最大値である1MHzでLED光源を明滅させることで送信することとした。これにより、同期信号のパルス幅は1 μ s、同期フレーム部の長さは44 μ sとなるので、同期フレーム部には44bitの同期信号が含まれることとなる。同期信号には、“1010...101”と1 μ sのパルス波として受信できる信号を使用し、埋め込みデータも画面全体で一様に“1010...101”と44 μ sのパルス波として受信できる信号を使用した。

3.2.3 実験結果

図6に同期フレーム部の信号の様子を示す。この図から、同期信号が1 μ sのパルス波形として受信できていることが

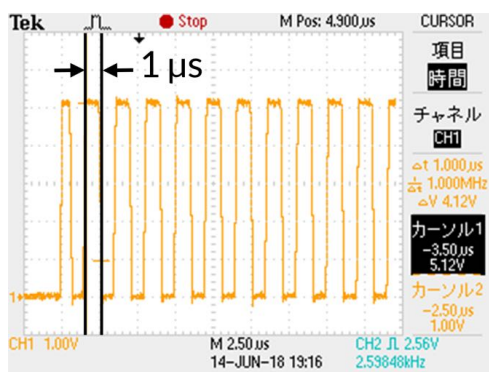


図 6: 同期フレーム部の信号の様子

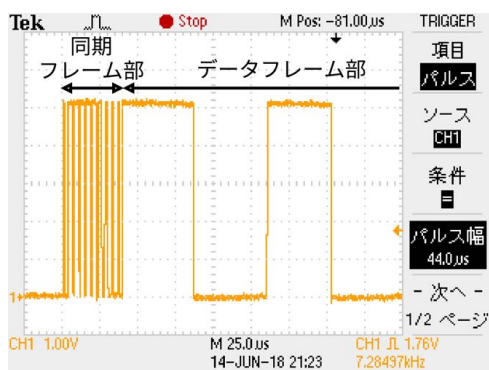


図 7: 同期フレーム部とデータフレーム部の信号の様子

見て取れる。また、図7に同期フレーム部とデータフレーム部の信号の様子を示す。この図から、同期フレーム部における同期信号がDMDのON/OFFと同期した形で高速に明滅し、直後のデータフレーム部の信号もDMDのON/OFFによるパルス波形として取得できている。これらより、提案プロジェクトで動的な映像更新を行いながら、LED光源の明滅による同期信号送信と、DMDのON/OFFによるデータ信号送信の双方を組み合わせることで、効率的な信号送信が可能であるということが示された。

4. まとめ

本稿では、映像と情報の動的な更新を実現した可視光通信プロジェクトについて提案した。提案したプロジェクトでは、DMDのON/OFFとLED光源の明滅を、同期しつつ可能な限り高速に制御することで、24bit階調のPVLC映像を120Hzのリフレッシュレートで投影することを可能にした。また、DMDとLEDの同期した高速制御と、PVLC映像のエンコードをFPGAによるハードウェア処理で実行することで、PCの計算負荷とPCとプロジェクトの通信量の大幅な低減が可能な手法を構築した。そして、提案したプロジェクトが設計通りの性能を有していることを実験において確認した。

今後の展望としては、映像と実物体を協調して制御可能であるというPVLCの特性を活かし、プロジェクションマッピングやユーザインタフェース、拡張現実感システムなどへの応用を検討していきたいと考えている。

謝辞 本研究は、JSPS 科研費 JP16H01739、JSPS 特別研究員奨励費 JP17J04216 の助成を受けたものです。

参考文献

- [1] 北村匡彦, 苗村 健, “DMDを用いた空間分割可視光通信: メタメディア情報を埋め込んだ映像投影,” 日本バーチャルリアリティ学会論文誌, vol.12, no.3, pp.381–388, sep 2007.
- [2] T. Hiraki, S. Fukushima, Y. Kawahara, and T. Nae-mura, “Phygital Field: An Integrated Field with Physical Robots and Digital Images using Projection-based Localization and Control Method,” Journal of Control, Measurement, and System Integration, vol.11, no.4, p.10 pages, jul 2018.
- [3] 平木剛史, 小泉実加, 周 磊杰, 福嶋政期, 苗村 健, “可視光通信プロジェクトの表現力向上に向けたデータ転送と光源制御の研究,” 日本バーチャルリアリティ学会論文誌, vol.21, no.1, pp.197–206, mar 2016.
- [4] 成田 岳, 江連悠貴, 湯浅 剛, 角野 究, 渡辺義浩, 石川正俊, “1000fps・8bit階調と低レイテンシ投影を実現する高速プロジェクトの開発,” 日本バーチャルリアリティ学会第20回大会論文集, pp.162–165, sep 2015.